

Docket No.: SON-2792
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Manabu UCHINO

Application No.: Not Yet Assigned

Group Art Unit: N/A

Filed: July 24, 2003

Examiner: Not Yet Assigned

For: ARITHMETIC APPARATUS AND
ARITHMETIC METHOD

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

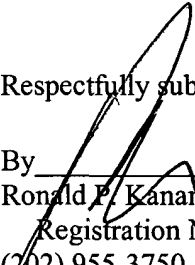
Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

| <u>Country</u> | <u>Application No.</u> | <u>Date</u> |
|----------------|------------------------|----------------|
| Japan | P2002-226604 | August 2, 2002 |

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: July 24, 2003

Respectfully submitted,

By 
Ronald P. Kananen
Registration No.: 24,104
(202) 955-3750
Attorneys for Applicant

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月 2日

出 願 番 号

Application Number:

特願2002-226604

[ST.10/C]:

[JP2002-226604]

出 願 人

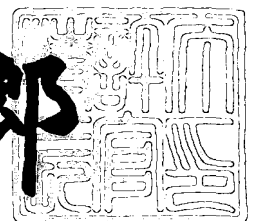
Applicant(s):

ソニー株式会社

2003年 6月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3042410

【書類名】 特許願

【整理番号】 0290292102

【提出日】 平成14年 8月 2日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 7/00
H03K 19/177

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 内野 学

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707389

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 演算装置及びその演算方法

【特許請求の範囲】

【請求項 1】

条件分岐付き演算処理を実行する演算装置であって、

上記条件分岐付き演算処理を条件分岐なしの第 1 処理と条件分岐付きの第 2 の処理に分割し、上記条件分岐なしの第 1 の処理に応じた構成情報を生成する構成情報生成手段と、

上記構成情報に基づいて再構成をし、演算データに基づいて、上記分割された条件分岐なしの第 1 の処理を実行する再構成可能な演算手段と、

上記分割された条件分岐付きの第 2 の処理を行い、当該処理の結果に応じて、上記再構成可能な演算手段の演算結果を修正する演算手段と

を有する演算装置。

【請求項 2】

上記再構成可能な演算手段には、上記構成情報を保持する構成情報保持手段と

外部から入力される上記演算データを保持する演算データ保持手段と、

上記構成情報に基づき、再構成される複数の演算素子と

を有する請求項 1 記載の演算装置。

【請求項 3】

上記構成情報生成手段には、上記条件分岐なしの第 1 の処理の頻度が、上記条件分岐付きの第 2 の処理の頻度より高くなるように、上記演算処理を分割する分割手段を有する

請求項 1 記載の演算装置。

【請求項 4】

条件分岐付き演算処理を行う演算方法であって、

上記条件分岐付き演算処理を条件分岐なしの第 1 処理と条件分岐付きの第 2 の処理に分割する分割ステップと、

上記分割された条件分岐なしの第 1 の処理に応じた構成情報を生成する構成情

報生成ステップと、

上記構成情報に基づいて再構成し、演算データに基づいて上記分割された条件分岐なしの第 1 の処理を実行する第 1 の演算ステップと、

上記分割された条件分岐付きの第 2 の処理を行い、当該処理の結果に応じて、上記第 1 の演算ステップの演算結果を修正する第 2 の演算ステップとを有する演算方法。

【請求項 5】

上記分割ステップにおいて、上記条件分岐なしの第 1 処理の頻度が、上記条件分岐付きの第 2 の処理の頻度より高くなるように、上記演算処理を分割する請求項 4 記載の演算方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、再構成可能なハードウェアを有する演算装置において、条件分岐処理に対して処理速度の向上をはかる演算装置及びその演算方法に関するものである。

【 0 0 0 2 】

【従来の技術】

音声や画像信号処理において、演算量の高い処理、例えば、積和演算の繰り返し処理などが多く含まれている。このような処理負荷の重い演算を CPU に実行させると、CPU の処理負荷が重くなり、処理速度が低下してしまう。このため、CPU にとって処理負荷の重い演算を予め抽出し、この部分の演算を再構成可能なハードウェアに割り当てることによって、CPU の処理負担を低減させ、高速の処理を実現できる処理方法が提案されている。

【 0 0 0 3 】

図 5 は、再構成可能な演算装置の一構成例を示している。図示のように、再構成可能な演算装置 3 0 は、構成情報記憶部 3 0 1、データ記憶部 3 0 2 及び演算実行部 3 0 3 によって構成されている。また、図 5 には、当該再構成可能な演算装置 3 0 に関連するホスト CPU 1 0 及び共有メモリ 2 0 も示されている。

【 0 0 0 4 】

ホストCPU10は、構成情報及び演算データを再構成可能な演算装置30に提供し、また、再構成可能な演算装置の演算結果を受け取る。

共有メモリ20は、ホストCPU10によってアクセス可能であり、再構成可能な演算装置の構成情報、演算データ及び演算結果を保持するために用いられている。

【 0 0 0 5 】

再構成可能な演算装置30において、構成情報記憶部301は、ホストCPUから入力される構成情報を保持し、保持された構成情報を演算実行部303に提供する。

データ記憶部302は、ホストCPU10から入力される演算データを保持し、保持された演算データを演算実行部303に提供する。また、データ記憶部302は、演算実行部303によって行われた演算結果を保持し、保持された演算結果を共有メモリ20に出力する。

【 0 0 0 6 】

演算実行部303は、複数の演算器、例えば、加算器、乗算器などによって構成され、構成情報部301から入力される構成情報に基づき、これらの演算器を再構成することで、構成情報に対応した新しい演算機能を実現するための演算回路が構成される。なお、図5において、演算実行部は、演算器1、演算器2及び演算器3の三つの演算器のみを例示しているが、実行の演算実行部は、さらに複数の演算器によって構成される。また、これらの演算器のうち、構成情報に応じて、必要なものだけを用いて再構成することもできる。

【 0 0 0 7 】

図6は、上述した再構成可能な演算装置の演算処理を示すフローチャートである。以下、図5及び図6を参照しつつ、再構成可能な演算装置の動作について説明する。

まず、データ記憶部302が必要に応じて初期化される（ステップS301）、続いて、構成情報記憶部301が必要に応じて初期化される（ステップS302）。

次に、ホストCPU10などからデータ記憶部302に演算データが読み込まれる（ステップS303）。そして、ホストCPU10などから構成情報記憶部301に構成情報が転送される（ステップS304）。

【0008】

演算実行部において、構成情報記憶部301から出力される構成情報に基づき、ハードウェアの再構成が行われる（ステップS305）。

次に、データ記憶部302から演算データが読み込み、それに基づき再構成されたハードウェアで演算が実行される（ステップS306）。

【0009】

演算終了後、演算結果がデータ記憶部302に転送され、データ記憶部302に記憶される（ステップS307）。そして、データ記憶部302から共有メモリ20に演算結果が転送される（ステップS308）。

【0010】

上述した再構成可能演算装置によって、構成情報記憶部301の構成情報に基づき、演算実行部のハードウェアの組合せが再構成されるので、所望の演算をハードウェアによって高速に実行することができる。このため、ホストCPU10は、処理負荷の重い演算を抽出し、その演算を実現するためのハードウェア構成をもとに構成情報を生成し、再構成可能な演算装置30に提供すれば、再構成可能な演算装置30において、演算実行部303は、構成情報に基づき再構成され、ホストCPU10から提供される演算データに基づき、高速に演算を行ってその結果を共有メモリ20に転送する。これによって、ホストCPU10の処理負荷を大幅低減でき、処理時間を短縮でき、高速なデータ処理を容易に実現可能である。

【0011】

また、再構成可能な演算実行部303において、FPGA（Field programmable gate array）などに較べて構成変更の単位が大きく設定されており、構成情報情報を変更して加算器、乗算器などを組み合わせることで多種類の演算に対応可能な構成になっている。これによって、ホストCPU10などでは処理の重い演算を再構成可能な演算装置に適応的に割り当てることによって、全体の処理時

間を短縮できる。

【 0 0 1 2 】

【発明が解決しようとする課題】

ところで、上述した従来の再構成可能な演算装置では、条件分岐を含む処理を高速に演算することができない。

図 7 は、従来の再構成可能な演算装置を用いた条件分岐処理の割り当てを示すフローチャートである。図示のように、まず、ソフトウェアにおいて、プロファイルを用いて演算処理の重い箇所の抽出が行われる（ステップ S 4 0 1）。

次にプロファイルで抽出した処理の重い演算箇所を再構成可能な演算装置に処理の割り当てが可能かについて判断が行われる（ステップ S 4 0 2）。

【 0 0 1 3 】

上記判断の結果、処理の割り当てが可能な場合、構成情報を用意して演算の前にハードウェアを再構成して処理を割り当てる（ステップ S 4 0 3）。この状態で演算することによってソフトウェア処理と比較して非常に高速な演算を実行することができる。

一方、判断の結果、処理の割り当てが不可能な場合、ホスト CPU 1 0 等で演算処理を行わざるを得ないため、再構成可能な演算装置と比較して処理速度が低くなる。

【 0 0 1 4 】

なお、上述した再構成可能な演算装置に処理の割り当てが不可能な場合として、特にソフトウェアでの繰り返し演算の中に条件分岐が存在する場合などが挙げられる。この場合はプロファイルの段階で条件分岐を演算の外に出せるか否かを検討するが、アルゴリズム的に困難な場合が多い。

【 0 0 1 5 】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、繰り返し演算処理を行うループ内に条件分岐が存在しても、再構成可能なハードウェアにより演算を実行することができ、条件分岐を含む処理負荷の重い演算の処理時間を短縮でき、処理速度を向上できる演算装置及びその演算方法を提供することにある。

【 0 0 1 6 】

【課題を解決するための手段】

上記目的を達成するため、本発明の演算装置は、条件分岐付き演算処理を実行する演算装置であって、上記条件分岐付き演算処理を条件分岐なしの第 1 処理と条件分岐付きの第 2 の処理に分割し、上記条件分岐なしの第 1 の処理に応じた構成情報を生成する構成情報生成手段と、上記構成情報に基づいて再構成をし、演算データに基づいて、上記分割された条件分岐なしの第 1 の処理を実行する再構成可能な演算手段と、上記分割された条件分岐付きの第 2 の処理を行い、当該処理の結果に応じて、上記再構成可能な演算手段の演算結果を修正する演算手段とを有する。

【 0 0 1 7 】

また、本発明では、好適には、上記再構成可能な演算手段には、上記構成情報を保持する構成情報保持手段と、外部から入力される上記演算データを保持する演算データ保持手段と、上記構成情報に基づき、再構成される複数の演算素子とを有する。

【 0 0 1 8 】

また、本発明では、好適には、上記構成情報生成手段には、上記条件分岐なしの第 1 の処理の頻度が、上記条件分岐付きの第 2 の処理の頻度より高くなるように、上記演算処理を分割する分割手段を有する。

【 0 0 1 9 】

また、本発明の演算方法は、条件分岐付き演算処理を行う演算方法であって、上記条件分岐付き演算処理を条件分岐なしの第 1 処理と条件分岐付きの第 2 の処理に分割する分割ステップと、上記分割された条件分岐なしの第 1 の処理に応じた構成情報を生成する構成情報生成ステップと、上記構成情報に基づいて再構成し、演算データに基づいて上記分割された条件分岐なしの第 1 の処理を実行する第 1 の演算ステップと、上記分割された条件分岐付きの第 2 の処理を行い、当該処理の結果に応じて、上記第 1 の演算ステップの演算結果を修正する第 2 の演算ステップとを有する。

【 0 0 2 0 】

さらに、本発明では、好適には、上記分割ステップにおいて、上記条件分岐なしの第 1 処理の頻度が、上記条件分岐付きの第 2 の処理の頻度より高くなるように、上記演算処理を分割する。

【 0 0 2 1 】

本発明によれば、条件分岐付きの演算処理が条件分岐なしの第 1 の処理と条件分岐付きの第 2 の処理に分割され、条件分岐なしの第 1 の処理が再構成可能な演算手段に割り当てられ、当該第 1 の処理に基づいてハードウェアの構成情報が生成され、当該構成情報に基づき再構成可能な演算手段において演算素子が再構成され、演算データに基づき所望の演算が実行される。これによって条件分岐なしの第 1 の処理が、ハードウェアにより高速に実行することが可能となる。

条件分岐付きの第 2 の処理が CPU などの固定の演算手段に割り当てられ、CPU によって、分岐条件に基づいて割り当てられた条件分岐付きの第 2 の処理が実行される。当該第 2 の処理の結果を用いて、再構成可能な演算手段による第 1 の処理の結果を修正し、その結果、条件分岐付き演算処理の結果が得られる。

【 0 0 2 2 】

このように、本発明によれば、再構成可能なハードウェアを有する演算手段において、処理負荷の重い繰り返し演算処理などに条件分岐処理が含まれたとき、条件分岐なしの処理としてハードウェアを先行処理し、その演算結果に対して、さらに条件分岐付き処理の演算結果を用いて修正すれば、全体的に処理速度の向上を達成される。特に、条件分岐なしの処理が条件分岐付きの処理の実行頻度よりも高い場合、処理速度の改善効果がより顕著になる。

【 0 0 2 3 】

【発明の実施の形態】

図 1 は本発明に係る演算装置の一実施形態を示す回路図である。

図示のように、本実施形態の演算装置は、構成情報記憶部 5 0 1、演算データ記憶部 5 0 2、及び条件分岐なし演算実行部 5 0 3 を含む再構成可能な演算装置 5 0 によって構成されている。また、再構成可能な演算装置 5 0 に構成情報及び演算データを提供するホスト CPU 1 0 と共有メモリ 2 0 が設けられている。

【 0 0 2 4 】

ホストCPU10は、再構成可能な演算装置50にハードウェアの構成情報及び演算データを提供する。構成情報が、再構成可能な演算装置の構成情報記憶部501に転送され、また、演算データが演算データ記憶部502に転送される。

【0025】

共有メモリ20は、再構成可能な演算装置50のハードウェア構成情報及び演算データを記憶する。再構成可能な演算装置50によって演算処理を行う前に、供給メモリ20に記憶されているハードウェア構成情報及び演算データがホストCPU10を介して、または直接に再構成可能な演算装置50の構成情報記憶部501及び演算データ記憶部502に転送される。

【0026】

再構成可能な演算装置50において、構成情報記憶部501は、ホストCPU10などから入力されるハードウェア構成情報を保持し、保持された構成情報を条件分岐なし演算実行部502に出力する。

演算データ記憶部502は、ホストCPU10などから入力される演算データを保持し、保持された演算データを条件分岐なし演算実行部503に提供する。また、条件分岐なし演算実行部503による演算処理の結果が演算データ記憶部502に転送されるので、演算データ記憶部502は、条件分岐なし演算実行部503から入力された演算結果を記憶し、ホストCPU10または共有メモリ20に出力する。

【0027】

本実施形態の再構成可能な演算装置50において、繰り返し演算処理に条件分岐が含まれている場合、当該条件分岐を考慮せず、即ち、条件分岐なしとして演算を行う。まず、構成情報記憶部501に記憶されているハードウェアの構成情報が条件分岐なし演算実行部503に転送され、これに基づいて条件分岐なし演算実行部503にハードウェアの再構成が行われ、それぞれの演算器に所定の演算処理が割り当てられる。

【0028】

そして、条件分岐なし演算実行部503において、条件分岐なしとして、演算データ記憶部502からの演算データに基づいて所望の演算処理が高速に実行さ

れる。演算終了後、演算結果が演算データ記憶部 5 0 2 に転送される。次いで、ホスト CPU 1 0 は、演算データ記憶部 5 0 2 から演算結果を受け取り、分岐条件に従って分岐処理を行い、処理の結果を用いて上記条件分岐なし演算実行部 5 0 3 の演算結果に対し修正を行う。すべての条件分岐に基づいて修正を行った結果、条件分岐を含む演算処理の結果が得られる。

【 0 0 2 9 】

図 2 は、本実施形態の演算装置における演算処理の割り当てを示すフローチャートである。

図示のように、まず、プロファイラを用いて、演算処理の重い箇所の抽出が行われる（ステップ S 4 1 1）。即ち、ソフトウェアの設計ツールなどによって、演算装置に割り当てられる演算処理のうち、処理負荷が重い演算が抽出される。なお、ここで、処理負荷の重さは、例えば、その処理を CPU などのプロセッサによって実行する場合に必要な処理ステップ数などによって判断することができる。

【 0 0 3 0 】

次に、抽出された処理負荷の重い演算に条件分岐付き演算が含まれているか否かが判断される（ステップ S 4 1 2）。当該判断の結果、条件分岐付き演算が含まれている場合、ステップ S 4 1 3 に進み、逆に条件分岐付き演算が含まれていない場合、ステップ S 4 1 8 に進む。ステップ S 4 1 8 において、条件分岐がないため、演算処理が再構成可能演算装置に割り当てられ、さらに割り当てられた演算を実行させるためのハードウェアの構成情報も生成される（ステップ S 4 1 9）。

【 0 0 3 1 】

ステップ S 4 1 3 において、条件分岐付き演算を条件分岐なしの処理と条件分岐付きの処理に分割可能か否かについて判断が行われる。当該判断の結果、分割可能な場合、ステップ S 4 1 4 に進み、逆に分割できない場合、ステップ S 4 1 7 に進み、ここで、条件分岐付きの処理が分割できないため、すべての処理が CPU に割り当てられる。

【 0 0 3 2 】

ステップ S 4 1 4 において、条件分岐付き処理が条件分岐なしの処理と条件分岐付きの処理に分割され、条件分岐なしの処理が再構成可能な演算装置に割り当てられる。そして、割り当てられた演算に応じたハードウェアの構成情報も生成される（ステップ S 4 1 5）。

一方、条件分岐付きの処理が CPU などに割り当てられる（ステップ S 4 1 6）。

【 0 0 3 3 】

上述した割り当て処理により、処理負荷の重い処理に条件分岐が含まれている場合、当該条件分岐処理が分割可能な場合、条件分岐なしの処理と条件分岐付きの処理に分割され、条件分岐なしの処理が再構成可能な演算装置に割り当てられ、条件分岐付きの処理が CPU などに割り当てられる。また、再構成可能な演算装置に割り当てられた処理を実行させるためのハードウェアの構成情報も生成される。このため、再構成可能な演算装置において、構成情報に基づきハードウェアが再構成され、再構成されたハードウェアにより割り当てられた条件分岐なしの処理を高速に実行できるので、CPU などの処理負荷を軽減できる。特に、条件分岐なしの処理の頻度が条件分岐付きの処理の頻度よりも高い場合、高速化の効果がより顕著となる。

このため、上述した演算処理の割り当てにおいては、条件分岐なしの処理と条件分岐付きの処理のうち、実行頻度の高い処理が再構成可能な演算装置に割り当てられ、実行頻度の低い処理が、例えば、CPU などに割り当てられる。これによって、再構成可能なハードウェアを用いて、処理速度の改善効果を高めることができる。

【 0 0 3 4 】

次に、上述した割り当て処理によって生成された構成情報などに従って、本実施形態の演算装置における演算処理を説明する。

図 3 は、本実施形態の演算装置における演算処理を示すフローチャートである。以下、図 3 を参照しつつ、本実施形態における演算処理について、順を追って説明する。

【 0 0 3 5 】

まず、演算データ記憶部が必要に応じて初期化される（ステップ S 5 0 1）、そして、構成情報記憶部が必要に応じて初期化される（ステップ S 5 0 2）。

次いで、ホスト CPU 1 0 などから演算データが転送され、当該演算データが演算データ記憶部 5 0 2 に記憶される（ステップ S 5 0 3）。

次いで、ホスト CPU 1 0 などから構成情報が転送され、当該構成情報が構成情報記憶部 5 0 1 に記憶される（ステップ S 5 0 4）。

【 0 0 3 6 】

条件分岐なし演算実行部 5 0 3 において、構成情報記憶部 5 0 1 から入力される構成情報に基づき、ハードウェアの再構成が行われる（ステップ S 5 0 5）。ハードウェアの再構成は、例えば、所定の繰り返し演算において、条件分岐をすべて無視して、所定の演算を与えられた回数だけ繰り返して実行するよう行われる。

【 0 0 3 7 】

演算データ記憶部 5 0 2 から、演算データが読み出され、当該演算データに基づき、条件分岐なし演算実行部 5 0 3 において、再構成されたハードウェアによって所定の演算処理が実行される（ステップ S 5 0 6）。

そして、演算処理の結果が演算データ記憶部 5 0 2 に書き込まれる（ステップ S 5 0 7）。

【 0 0 3 8 】

次に、演算データ記憶部 5 0 2 から演算結果が読み出される（ステップ S 5 0 8）。読み出された演算結果がホスト CPU 1 0 に転送される。

そして、ホスト CPU 1 0 など、条件分岐付き演算処理が実行される（ステップ S 5 0 9）。

【 0 0 3 9 】

次いで、ホスト CPU 1 0 などによる条件分岐付き演算処理の結果が演算データ記憶部 5 0 2 に出力され、演算データ記憶部 5 0 2 によって記憶される。

そして、演算データ記憶部 5 0 2 に記憶されている最終の演算結果が共有メモリ 2 0 に出力される。

【 0 0 4 0 】

上述したように、本実施形態の演算装置において、繰り返し演算の中の条件分岐をなしとして、再構成可能な演算装置において、再構成されたハードウェアにより、条件分岐せずに繰り返し演算のみが先行して実行される。そして、ホスト CPU 10 によって、条件分岐付きの演算が行われ、当該演算結果によって、上記条件分岐なしで行われた演算の結果に対して修正が行われる。このため、再構成可能なハードウェアによって分岐なし演算が高速に実行できるので、ホスト CPU 10 などの処理負荷を軽減し、処理の高速化を実現可能である。特に、先行実行のあと、ホスト CPU 10 などによる条件付きの演算において、データ書き換えの頻度が低いほど全体として処理量を抑制する効果が大きくなる。

【 0 0 4 1 】

次に、本実施形態の演算装置を用いた、条件付き分岐を含む繰り返し演算の一具体例について説明する。

図 4 は、条件付き分岐処理を含む繰り返し演算処理の一例を示している。なお、図 4 では、繰り返し処理は、例えば、通常のプログラム言語で「for」文により表される。また、条件付き分岐処理は、プログラム言語で「if」文によって表され、分岐の条件は、「if」文に続く括弧の中で表記されている。

【 0 0 4 2 】

図 4 に示す条件付き分岐処理では、例えば、「分岐 1」で示す分岐条件が満たされると、「処理 1」が実行され、逆に、「分岐 1」で示す分岐条件が満たされず、「分岐 2」で示す分岐条件が満たされた場合、「処理 2」が実行される。

なお、図 4 に示すように、分岐条件である「分岐 1」を満たす頻度が分岐条件である「分岐 2」を満たす頻度より高い。即ち、図 4 に示す繰り返しループの中、「処理 1」が実行される頻度が「処理 2」が実行される頻度より高い。

上述した条件付き分岐処理が、所定の繰り返し条件が満たされている間繰り返しして実行される。

【 0 0 4 3 】

図 4 に示すように、本実施形態演算装置では、上述した条件付き分岐処理を含む繰り返し演算を条件分岐なし演算と、条件分岐付き演算の 2 つの演算に分割される。まず、処理頻度の高い「処理 1」を含む繰り返し演算を条件分岐なしの繰

り返し演算とし、そして、処理頻度の低い「処理 2」を含む演算を条件分岐付きの繰り返し演算とする。

【 0 0 4 4 】

条件分岐なしとしての繰り返し演算「処理 1」は、本実施形態の再構成可能な演算装置 5 0 によって実行される。そして、頻度の低い「処理 2」の演算がホスト CPU 1 0 によって実行される。

【 0 0 4 5 】

即ち、「処理 1」の演算内容に応じて、ホスト CPU 1 0 により、再構成可能な演算装置 5 0 の条件分岐なし演算実行部のハードウェアを再構成するための構成情報が生成される。当該構成情報は、ホスト CPU 1 0 から再構成可能な演算装置の構成情報記憶部 5 0 1 に転送され、これに基づいて条件分岐なし演算実行部 5 0 3 において、ハードウェアが再構成され、ホスト CPU 1 0 などから入力される演算データに基づき、「処理 1」を条件分岐なしの処理として繰り返し、演算が高速に実行される。

【 0 0 4 6 】

そして、「処理 1」の繰り返し演算が実行したあと、ホスト CPU 1 0 などによって、「処理 2」の分岐条件である「分岐 2」に従って、「処理 2」を実行する。そして、分岐条件に従って、当該分岐条件付き「処理 2」の演算結果を用いて、上述した条件分岐なしの「処理 1」の繰り返し演算の結果を修正する。修正後の結果は、条件分岐付き繰り返し演算の結果となる。

【 0 0 4 7 】

上述した処理において、「処理 1」の頻度が「処理 2」より高い場合、本実施形態の演算装置を用いることにより、再構成可能な演算装置 5 0 によって、ハードウェア上で「処理 1」の演算を高速に実行することができる。そして、ホスト CPU 1 0 により、分岐条件に基づき、条件分岐付きで「処理 2」を実行し、再構成可能な演算装置 5 0 による演算結果を修正する。

【 0 0 4 8 】

以上説明したように、本実施形態の演算装置及びその演算方法によれば、条件分岐付きの繰り返し演算が、条件分岐なしの演算と条件分岐付きの演算の 2 つの

部分に分割され、再構成可能な演算装置において、条件分岐なしの演算処理は、それに応じて生成された構成情報に基づき、再構成されたハードウェアによって実行され、そして、その演算結果に対して分岐条件に基づき、ホストCPUなどによる条件分岐付き繰り返し演算の結果で修正するので、ホストCPU10の処理負荷を軽減出来、処理時間の短縮及び処理速度の向上を実現できる。

【0049】

【発明の効果】

以上説明したように、本発明の演算装置及びその演算方法によれば、繰り返し演算など処理負荷の重い演算処理部分を、構成情報に基づいて再構成されたハードウェアによって先行して実行し、そして、ホストCPUによって条件付き分岐処理を実行し、ハードウェアによる演算結果を修正するので、ホストCPUの処理負荷を軽減でき、処理時間の短縮及び処理速度の向上を実現できる。これによって、ハードウェアによる演算後の条件分岐付き処理の出現頻度が低い場合、特に処理速度の改善効果が大きい。

また、本発明によれば、ハードウェアによって、処理負荷の重い演算を高速に実行されるので、CPUによる演算に較べて、演算量を低減できるので、処理時間の短縮と消費電力の低減を実現できる。

さらに、本発明によれば、処理負荷の重い演算をハードウェアに割り当てることによって、CPU側の処理負担が軽減し、ハードウェアの演算時間中に別の演算処理を実現できる利点がある。

【図面の簡単な説明】

【図1】

本発明に係る演算装置の一実施形態を示す構成図である。

【図2】

本実施形態の演算装置における演算の割り当てを示すフローチャートである。

【図3】

本実施形態の演算装置における条件分岐付き処理を示すフローチャートである。

【図4】

本実施形態の演算装置における条件分岐付き処理の一例を示す図である。

【図 5】

従来の再構成可能な演算装置の一例を示す構成図である。

【図 6】

従来の演算装置の処理を示すフローチャートである。

【図 7】

従来の演算装置における条件分岐付き処理のフローチャートである。

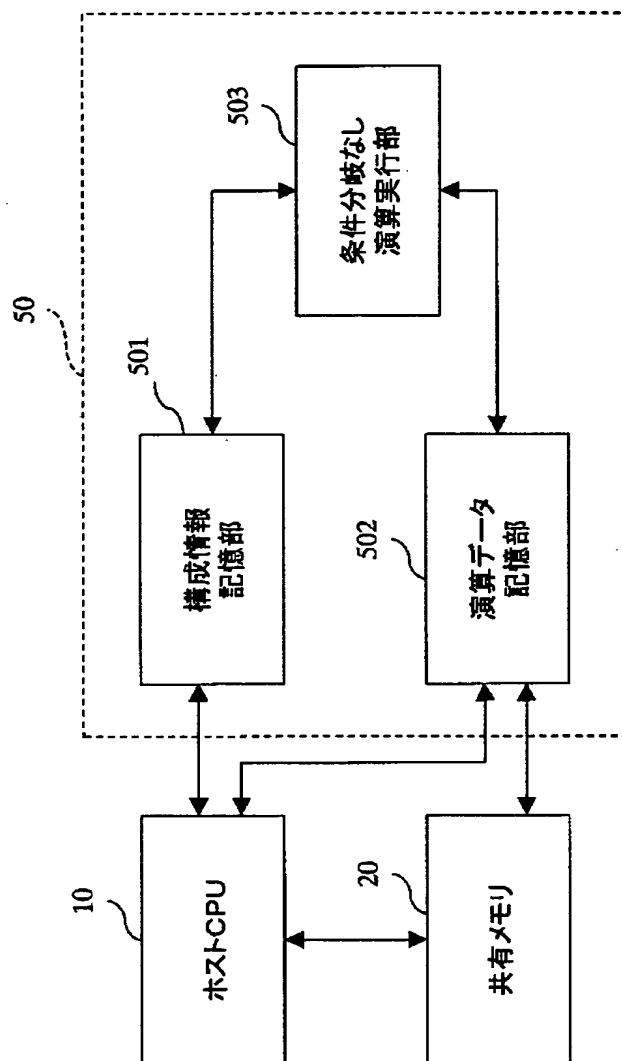
【符号の説明】

1 0 … ホスト CPU、2 0 … 共有メモリ、3 0, 5 0 … 再構成可能な演算装置、3 0 1, 5 0 1 … 構成情報記憶部、3 0 2, 5 0 2 … 演算データ記憶部、3 0 3 … 再構成可能な演算実行部、5 0 3 … 再構成可能な条件分岐なし演算実行部。

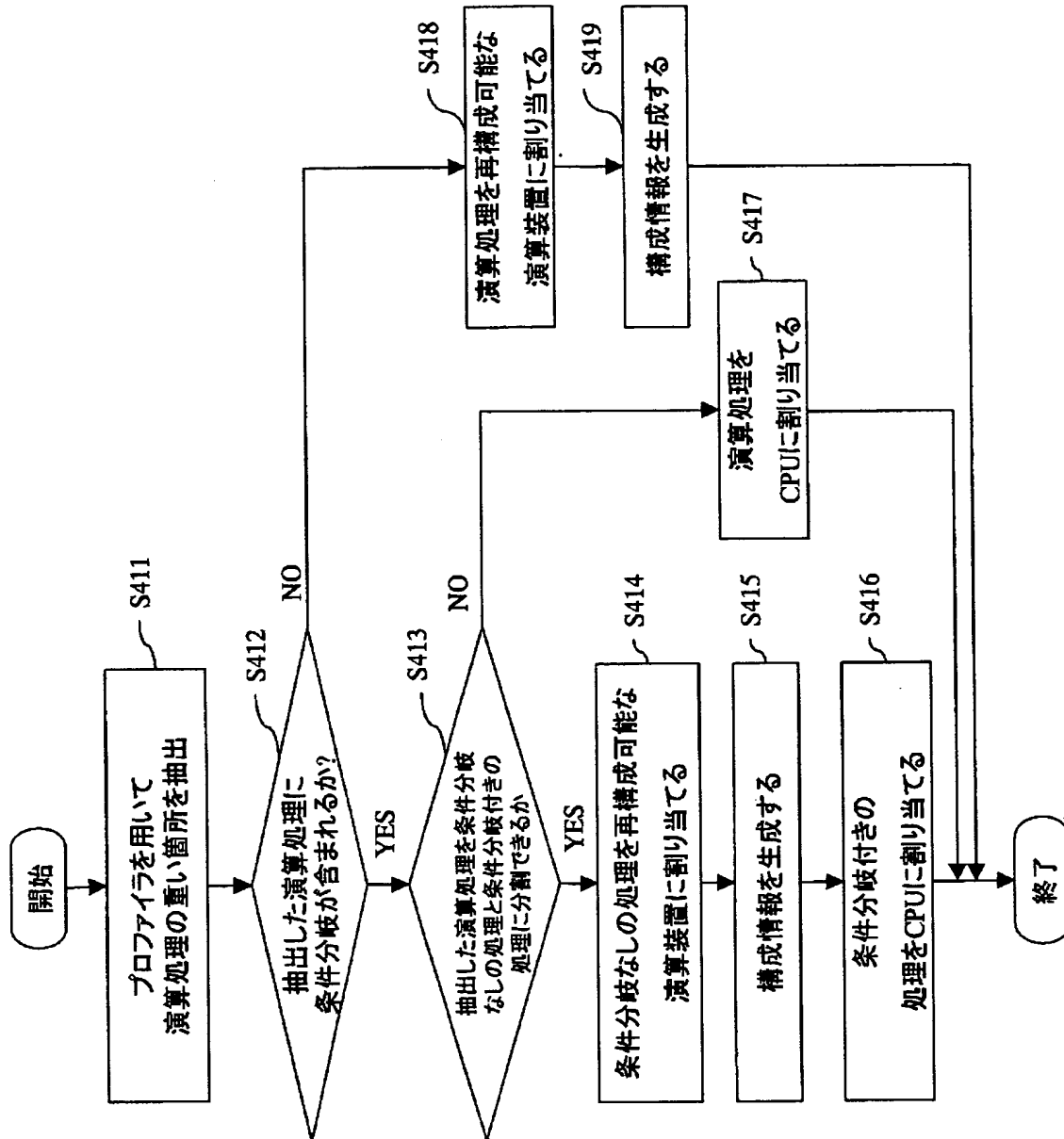
【書類名】

図面

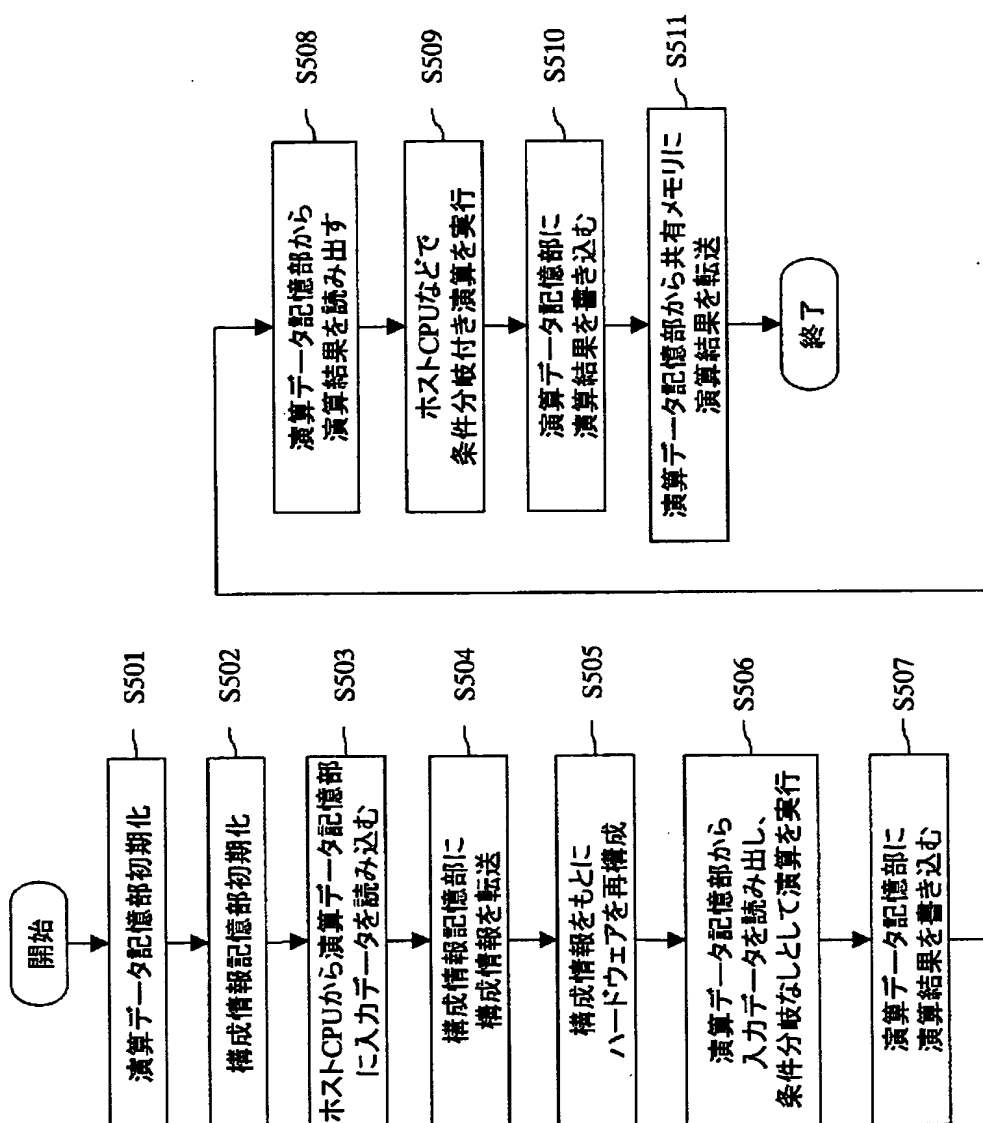
【図 1】



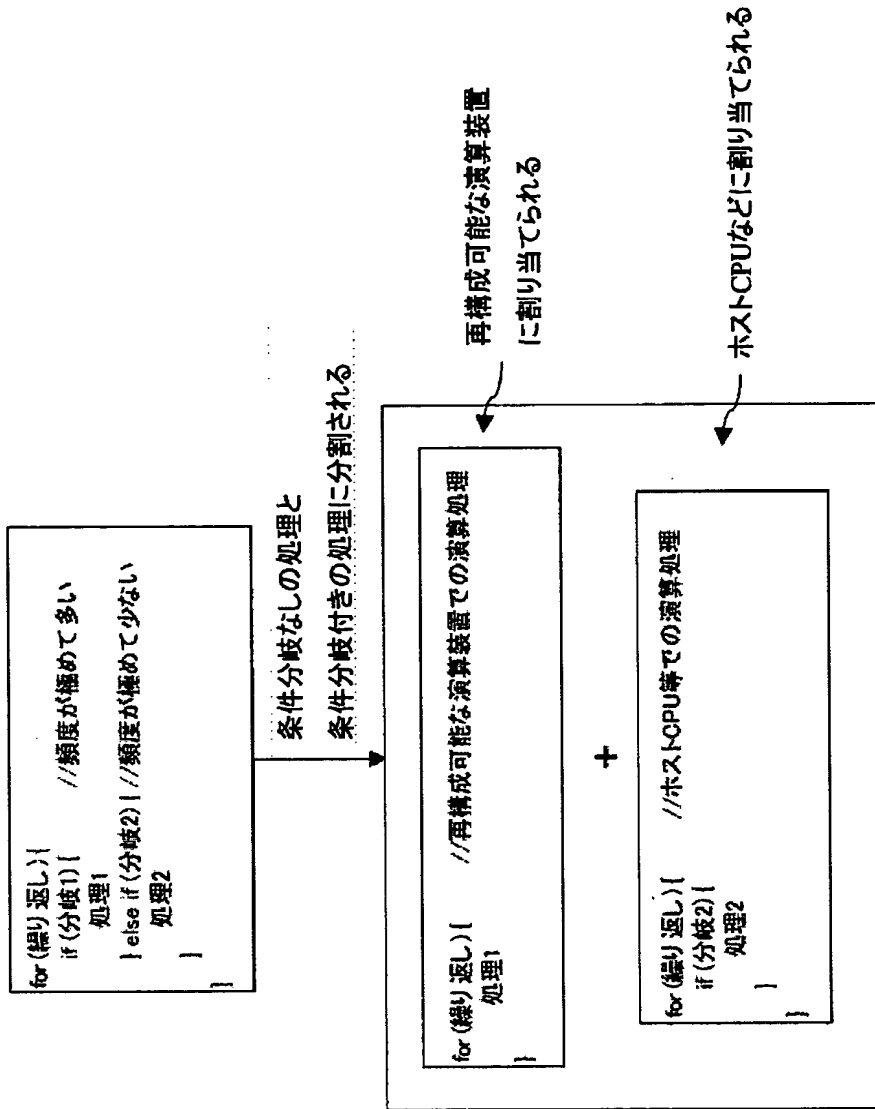
【図 2】



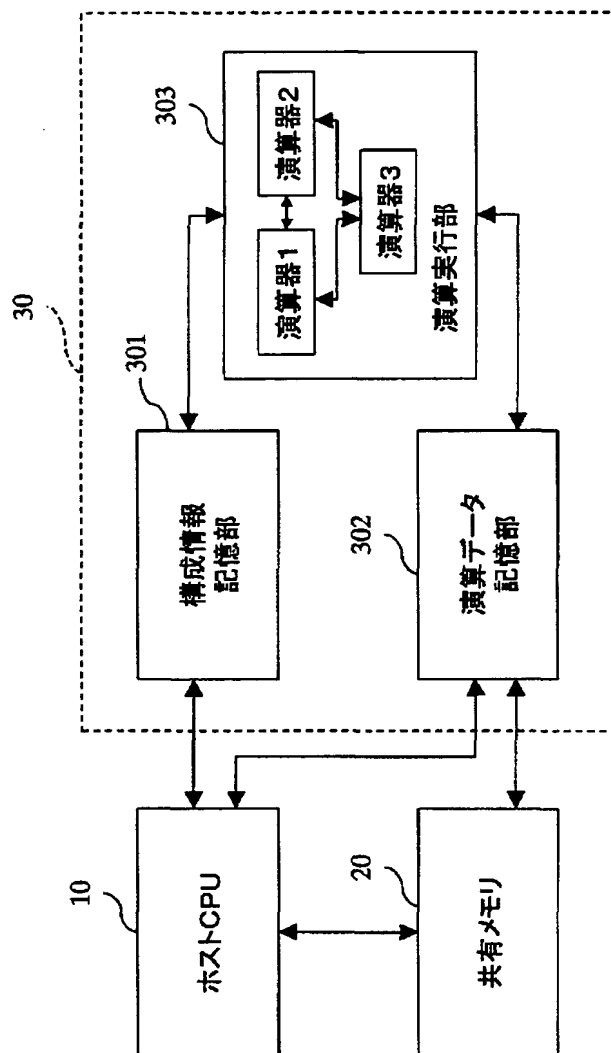
【図 3】



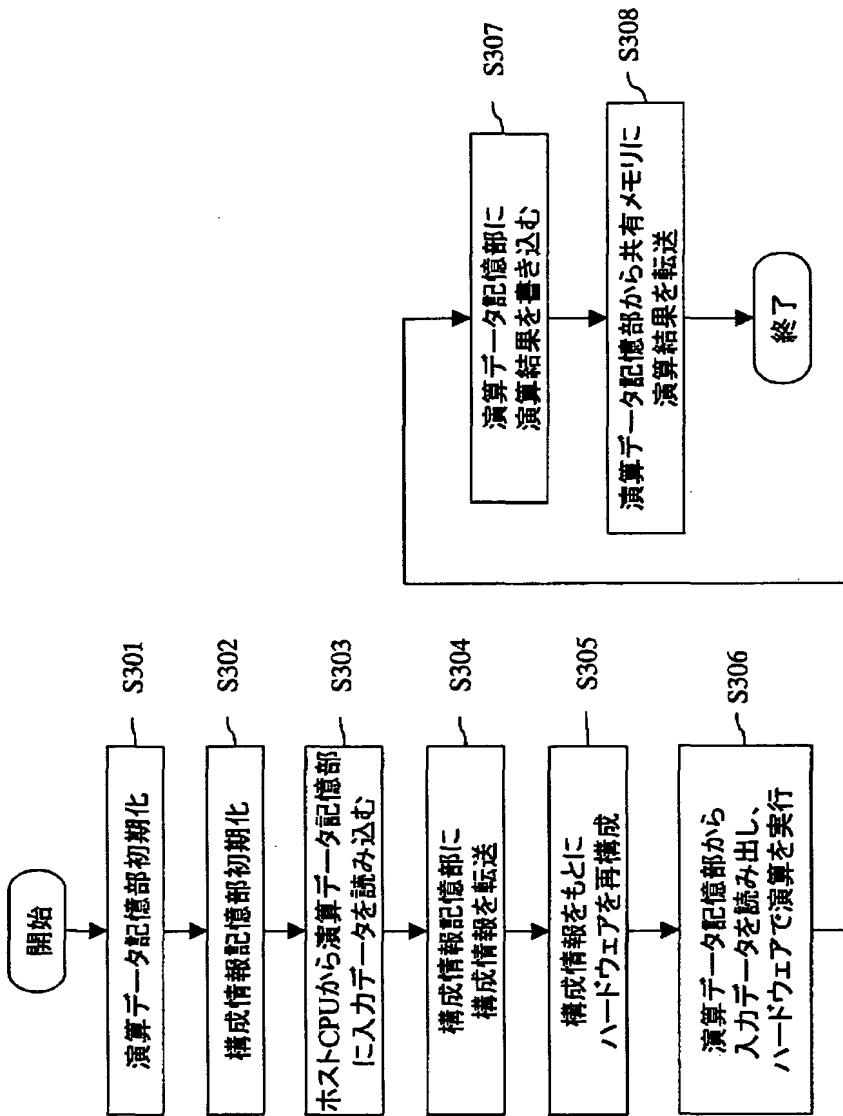
【図 4】



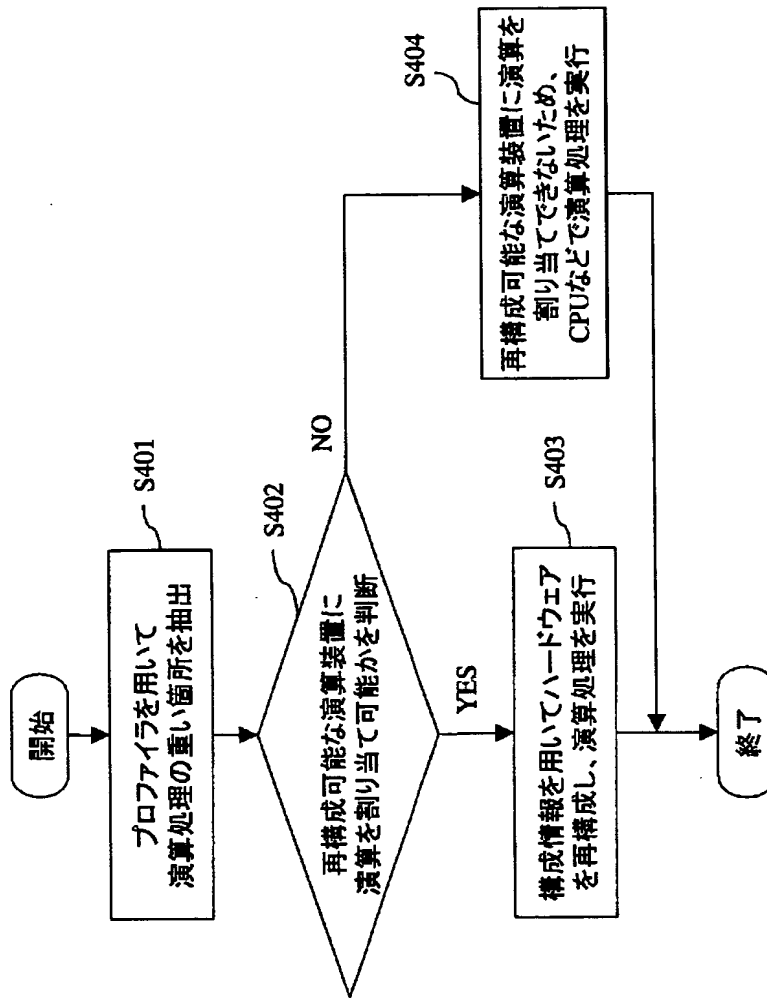
【図5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 繰り返し演算処理を行うループ内に条件分岐が存在しても、再構成可能なハードウェアにより演算を実行することができ、条件分岐を含む処理負荷の重い演算の処理時間を短縮でき、処理速度を向上できる演算装置及びその演算方法を実現する。

【解決手段】 条件分岐付きの演算処理が条件分岐なしの第 1 の処理と条件分岐付きの第 2 の処理に分割され、条件分岐なしの第 1 の処理が再構成可能な演算手段に割り当てられ、当該第 1 の処理に基づいてハードウェアの構成情報が生成され、当該構成情報に基づき再構成された演算手段により実行され、条件分岐付きの第 2 の処理が CPU などの演算手段に割り当てられ、CPU によって割り当てられた条件分岐付きの第 2 の処理が実行される。当該処理の結果を用いて、上記第 1 の処理の結果を修正し、条件分岐付き演算処理の結果が得られる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 1 8 5]

1. 変更年月日 1 9 9 0 年 8 月 3 0 日

[変更理由] 新規登録

住 所 東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名 ソニー株式会社